REVISTA TÓPICOS
ISSN 2965-6672 | Qualis A2

DESCARGA ELETROSTÁTICA (ESD): MECANISMOS DE DANO, TENDÊNCIAS DE ROBUSTEZ E CONTROLE EM AMBIENTES INDUSTRIAIS: UMA REVISÃO

ELECTROSTATIC DISCHARGE (ESD): DAMAGE MECHANISMS, ROBUSTNESS TRENDS AND CONTROL IN INDUSTRIAL ENVIRONMENTS: A REVIEW

Ciências Exatas e da Terra, Engenharias • 23/11/2026

REGISTRO DOI: 10.70773/revistatopicos/795291941

Ítalo Amaral Veras[1]

Siomara Dias da Rocha[2]

RESUMO

A descarga eletrostática (ESD, do inglês *electrostatic discharge*) permanece entre as principais causas de falha e de perda de confiabilidade em dispositivos eletrônicos, e seu tratamento exige, ao mesmo tempo, conhecimento de física de contato, projeto de circuitos e disciplina de processo. Este artigo apresenta uma revisão narrativa da literatura recente, restrita a publicações dos últimos seis anos, com o objetivo de relacionar os mecanismos de geração de carga, os níveis de robustez adotados pela indústria, os mecanismos de dano em dispositivos de potência de nova geração, as estratégias de proteção integrada e os requisitos de controle em ambientes produtivos. Foram analisadas fontes, entre artigos científicos, normas técnicas e documentos de entidades do setor. Os resultados indicam que a eletrização por contato é dominada pela transferência de elétrons e responde de modo não monotônico à umidade; que o nível-alvo de robustez contra o modelo de dispositivo carregado (CDM) é de 250 V para a maioria dos circuitos integrados, com proposta de 125 V para pinos de altíssima velocidade; que dispositivos de nitreto de gálio (GaN) e de carbeto de silício (SiC) exibem degradação progressiva e dano latente sob estresse de ESD; e que as normas ANSI/ESD S20.20-2021 (do Instituto Nacional Americano de Normas, American National Standards Institute) e IEC 61340-5-1:2024 (da Comissão Eletrotécnica Internacional, International Electrotechnical Commission) sustentam o controle em linha para itens com robustez mínima de 100 V (HBM, do inglês human body model, modelo do corpo humano) e 200 V (CDM). Conclui-se que a proteção eficaz depende da articulação entre o projeto do dispositivo e o controle do ambiente em que ele é manipulado.

Palavras-chave: Descarga eletrostática; Confiabilidade; Dano latente; Controle de ESD; Normalização.

ABSTRACT

Electrostatic discharge (ESD) remains one of the main causes of failure and loss of reliability in electronic devices, and its treatment requires, at the same time, knowledge of contact physics, circuit design and process discipline. This article presents a narrative review of the recent literature, restricted to publications from the last six years, aiming to relate charge-generation mechanisms, the robustness levels adopted by industry, the damage mechanisms in next-generation power devices, integrated protection strategies and the control requirements of production environments. Sources were analysed, including scientific articles, technical standards and documents from industry entities. The results show that contact electrification is dominated by electron transfer and responds non-monotonically to humidity; that the target robustness level against the charged-device model (CDM) is 250 V for most integrated circuits, with a proposed 125 V for very-high-speed pins; that gallium nitride (GaN) and silicon carbide (SiC) devices exhibit progressive degradation and latent damage under ESD stress; and that the ANSI/ESD S20.20-2021 (American National Standards Institute) and IEC 61340-5-1:2024 (International Electrotechnical Commission) standards support in-line control for items with a minimum robustness of 100 V (HBM, human body model) and 200 V (CDM). It is concluded that effective protection depends on the articulation between device design and the control of the environment in which it is handled.

Keywords: Electrostatic discharge; Reliability; Latent damage; ESD control; Standardization.

1. INTRODUÇÃO

A descarga eletrostática é a transferência rápida de carga entre dois corpos que se encontram em potenciais elétricos diferentes, desencadeada pelo contato ou pela simples aproximação entre eles. No cotidiano, o fenômeno aparece como a pequena faísca sentida ao tocar uma maçaneta; na engenharia eletrônica, o que importa é o que ocorre nos poucos nanossegundos seguintes, quando um pico intenso de corrente atravessa estruturas projetadas para operar em condições muito mais brandas. O resultado pode ser a falha imediata do componente ou, de forma mais traiçoeira, uma alteração discreta de parâmetros que só se manifesta depois de algum tempo de uso.

Dois movimentos tecnológicos tornam o assunto mais urgente do que já foi. O primeiro é a miniaturização: segundo a EOS/ESD *Association* (2023), tecnologias de 7 nm e inferiores têm janelas de projeto para ESD ainda menores, e a combinação entre interfaces de dados que chegam a 225 Gb/s e empacotamento tridimensional impõe limites severos à área disponível para proteção. O segundo é a chegada dos semicondutores de banda larga proibida, como o GaN e o SiC, aos conversores de potência, com mecanismos de falha que diferem dos observados no silício (Yang; Stoll; Yuan, 2021; LAI et al., 2024). Em ambos os casos, o que se aprendeu com a eletrônica convencional precisa ser reexaminado.

A literatura sobre o tema, contudo, está distribuída em comunidades que dialogam pouco entre si. A física da eletrização por contato é tratada, sobretudo, em periódicos de ciência de materiais; o comportamento de dispositivos sob pulsos de ESD, em periódicos de dispositivos eletrônicos e de confiabilidade; e os requisitos de controle em linha de produção, em normas e documentos de associações técnicas. Quem projeta um circuito raramente lê as

normas de manuseio, e quem implanta um programa de controle nem sempre acompanha o que se descobre sobre falhas latentes em transistores de potência. Soma-se a isso uma lacuna de idioma: a busca realizada para este trabalho não retornou artigo científico em língua portuguesa que tratasse do tema com a profundidade aqui pretendida.

Diante desse cenário, este artigo tem como objetivo relacionar, a partir de publicações dos últimos seis anos, os mecanismos de geração de carga, os modelos e níveis de robustez contra ESD, os mecanismos de dano e de dano latente, as estratégias de proteção integrada e os requisitos de controle em ambientes industriais. A pergunta que orienta a análise é a seguinte: o que a literatura recente permite afirmar sobre a relação entre o que o dispositivo suporta e o que o ambiente de manipulação precisa garantir? O quadro de referência foi organizado em seis eixos, apresentados a seguir.

2. REFERENCIAL TEÓRICO

2.1. Geração de Carga: A Eletrização por Contato

Toda descarga pressupõe uma carga acumulada, e a causa mais comum dessa acumulação é o contato seguido de separação entre materiais. Tian et al. (2025) reuniram, em uma revisão abrangente, o conhecimento sobre o mecanismo da eletrização por contato, organizando a discussão por tipo de interface. Os autores ressaltam que a transferência de elétrons é o mecanismo dominante e propõem que um modelo de poço de potencial da nuvem eletrônica explica essa transferência em todos os tipos de contato considerados.

Uma das evidências experimentais citadas é o trabalho de excitação térmica, em que o decaimento da carga em temperatura elevada acompanhou o que se espera da emissão termiônica de elétrons, o que, segundo os autores, afasta íons ou fragmentos carregados como portadores principais em interfaces entre metal e dielétrico. Outra é a de fotoexcitação ultravioleta, na qual o decaimento da carga se correlacionou com o comprimento de onda e com a intensidade da luz. Tian et al. (2025) registram, ainda, que hipóteses de transferência de íons ou de material carregado foram defendidas por outros pesquisadores, mas que, até então, careciam de evidência direta suficiente. Em interfaces sólido-líquido, a situação é mais matizada: os dois processos coexistem, e a transferência de íons ganha peso em superfícies hidrofílicas, ao passo que a de elétrons tende a predominar em superfícies hidrofóbicas.

Para quem lida com a ESD no chão de fábrica, a observação mais útil talvez seja a do efeito da umidade. Conforme relatado nesta revisão, o aumento da umidade elevou primeiro e reduziu depois a carga transferida, comportamento atribuído às mudanças que uma camada de água adsorvida provoca no estado da superfície. Em outras palavras, a relação não é monotônica, e a ideia de que mais umidade sempre significa menos carga é uma simplificação. Cabe ressalvar que este estudo trata o fenômeno de forma geral, sem se restringir aos materiais e às condições de uma linha de montagem eletrônica; a transposição direta de seus resultados para esse contexto exige cautela.

2.2. Modelos de Descarga e Níveis-Alvo de Robustez

A indústria representa a descarga real por modelos simplificados, que permitem ensaiar componentes de forma repetível. Dois deles

balizam as normas de controle citadas adiante: o modelo do corpo humano (HBM, *human body model*), que reproduz a descarga de uma pessoa carregada sobre o componente, e o modelo do dispositivo carregado (CDM, *charged device model*), em que o próprio componente acumula carga e a libera ao tocar uma superfície aterrada. Os dois eventos diferem em duração, em percurso e, portanto, em tipo de dano, razão pela qual um componente aprovado em um modelo não está automaticamente protegido contra o outro.

A definição de quanto o componente deve suportar nunca foi estática. De acordo com a EOS/ESD Association (2023), os primeiros níveis de aprovação em CDM situavam-se, com frequência, entre 500 V e 1000 V. A primeira versão do documento do Industry Council on ESD Target Levels (WP2, do inglês White Paper 2, documento técnico 2), de 2009, recomendou 250 V como alvo razoável (Industry Council On ESD Target Levels, 2009), e a terceira versão, de maio de 2021, manteve essa recomendação para a maioria dos circuitos integrados. Para pinos de interface de altíssima velocidade, o conselho propôs 125 V, ao mesmo tempo que incentivou os projetistas a chegar o mais perto possível de 250 V (Industry Council On ESD Target Levels, 2021).

O mesmo documento deixa claro que a pressão vem da tecnologia, e não de uma decisão arbitrária. A EOS/ESD Association (2023) afirma que, atualmente, não há como projetar interfaces com taxas de 225 Gb/s e, simultaneamente, atingir 250 V em CDM. No empacotamento 2.5D e 3D, as matrizes podem ter dezenas ou centenas de milhares de conexões, o que restringe a área para proteção e reduz a robustez. As interfaces de microbumps de cobre entre matrizes requerem cerca de 30 V ou menos, e as de ligação

híbrida, algo da ordem de 5 V. Nesse patamar, o próprio ensaio se torna um desafio, e o documento antecipa que alguma forma de amostragem estatística das interfaces será necessária. Vale registrar que se trata de um texto institucional, publicado sem autoria nominal, o que o torna uma fonte representativa da posição do setor, mas não um estudo revisado por pares.

2.3. Mecanismos de Dano e Dano Latente

Quando a descarga atinge o dispositivo, o dano pode ser catastrófico, com a perda imediata da função, ou paramétrica, com deslocamentos de grandezas elétricas que passam despercebidos em um ensaio de aprovação. Yang, Stoll e Yuan (2021) estudaram transistores de GaN sobre silício submetidos a pulsos de linha de transmissão (TLP, *transmission line pulse*) em ensaio sobre lâmina, acompanhando a tensão de limiar e a resistência em condução com a porta flutuante ou polarizada no estado desligado. Os autores identificaram dois mecanismos concorrentes. Com a porta flutuante, a tensão de limiar diminui sob pulsos de baixa tensão, entre 50 V e 100 V, efeito atribuído à injeção de lacunas quentes sob a porta; em tensões maiores, ela aumenta o que se associa à formação de filamentos na camada de buffer em interação com armadilhas de nível profundo.

A resistência em condução cresce de modo contínuo com o número e a amplitude dos pulsos. Um detalhe relevante para a confiabilidade é que a degradação prossegue após o fim do estresse, em consonância com a lenta liberação de portadores das armadilhas, e a iluminação com luz branca recupera boa parte, mas não a totalidade, do deslocamento da tensão de limiar.

Lai et al. (2024) chegaram a conclusões semelhantes em um dispositivo de natureza distinta, o transistor nMOS (do inglês n-channel metal-oxide-semiconductor, transistor metal-óxido-semicondutor de canal n) de baixa tensão em SiC 4H, caracterizado por TLP e por TLP de muito alta velocidade (VF-TLP). Pulsos repetidos reduziram a tensão de limiar e aumentaram a corrente de fuga de dreno, o que os autores atribuem principalmente a portadores injetados no óxido de porta durante a operação em avalanche. Após mil ciclos de TLP em dispositivos com porta aterrada, a fuga de dreno aumentou mais de 500% em duas amostras; o VF-TLP, de pulsos mais curtos, produziu degradação menor, entre cerca de 100% e 300%.

A polarização de porta de 20 V reduziu a degradação a menos de 60%, porque diminui a queda de tensão entre dreno e porta e, com ela, o campo no óxido. Um recozimento a 200 °C recuperou a tensão de limiar e o comportamento da fuga. Chama a atenção, ainda, o contraponto com o silício: um nMOS de 5 V em silício praticamente não se alterou após os mesmos mil ciclos, o que os autores explicam por sua menor tensão de retenção e de ruptura e pelas regiões de dreno levemente dopadas.

Os dois trabalhos têm em comum o fato de tratarem a ESD como um processo cumulativo, e não como um evento de tudo ou nada. Isso afeta diretamente a forma de interpretar um resultado de qualificação: um componente que sobrevive a um pulso pode ter sido modificado por ele.

2.4. Estratégias de Proteção Integrada

Lin (2025) revisou as estratégias de proteção em chip para aplicações de alta velocidade e alta frequência. O ponto de partida é um conflito: os dispositivos de proteção convencionais acrescentam capacitância parasita, que degrada a integridade do sinal, perturba o casamento de impedâncias e limita a largura de banda.

A revisão percorre abordagens baseadas em diodos, em retificadores controlados de silício (SCR), em configurações empilhadas e em elementos passivos, como resistores, indutores e bobinas em T, e destaca projetos recentes de baixa capacitância que aproveitam os próprios componentes parasitas da proteção como parte do caminho do sinal. A conclusão do autor é que proteções compactas e eficientes continuarão essenciais à medida que os sistemas migram para frequências mais altas e maior integração.

No campo dos dispositivos de potência, Shi et al. (2025) examinaram como transistores de GaN de porta p (P-GaN HEMT, do inglês high electron mobility transistor, transistor de alta mobilidade de elétrons) falham sob estresse direto e reverso e revisaram os esquemas de proteção disponíveis. Os dispositivos com porta Schottky mostraram-se mais vulneráveis, pois carecem de caminhos eficazes para a descarga da carga eletrostática; os autores relatam tensão de falha reversa equivalente a HBM de cerca de 0,15 kV para a porta Schottky, contra 4,05 kV para a porta ôhmica.

Em polarização direta, a corrente de ruptura ultrapassou 9,3 A na porta ôhmica e ficou em 2,0 A na Schottky. Os esquemas unidirecionais de proteção encontram limites: operam em modo diodo durante a ESD reversa, com tensão de disparo muito baixa, e os de divisão de tensão acrescentam fuga. Os esquemas bidirecionais fornecem tensão de disparo reversa adequada, embora

os de divisão resistiva ou por diodos ainda apresentem fuga relativamente alta. Uma porta híbrida, com metal ôhmico e Schottky, elevou a corrente de ruptura direta a 153,7 mA/mm, frente a menos de 13,9 mA/mm da porta apenas Schottky, e os autores esperam que a integração monolítica da proteção com o transistor de potência se torne a abordagem predominante.

Song et al. (2024) mostram que essa integração pode render ganhos além da proteção em si. O circuito monolítico que propuseram para a porta de um HEMT de GaN reforça a robustez contra ESD e, ao limitar a polarização negativa de porta no estado desligado, apontada como causa-chave de instabilidade em dispositivos de porta p, estabiliza a resistência em condução e a tensão de limiar durante a comutação normal. No ensaio de estresse com porta negativa e alta tensão de dreno, o dispositivo sem o circuito apresentou aumento acentuado da resistência em condução nas primeiras dezenas de ciclos, efeito suprimido pelo circuito de proteção.

2.5. Controle de ESD em Ambientes de Produção

Mesmo o melhor projeto de proteção tem limite, e é nesse ponto que entram os programas de controle de ESD. A norma IEC 61340-5-1:2024, em sua terceira edição, publicada em 21 de maio de 2024 pelo comitê técnico TC 101 (IEC, 2024), aplica-se a organizações que fabricam, processam, montam, instalam, embalam, rotulam, reparam, testam, inspecionam, transportam ou manipulam de outra forma peças, conjuntos e equipamentos elétricos e eletrônicos com tensões de suportabilidade de, no mínimo, 100 V em HBM e 200 V em CDM.

A proteção contra condutores isolados é tratada pela limitação de sua tensão a menos de 35 V. A norma admite que processos com itens de suportabilidade inferior declarem conformidade, desde que adotem controles adicionais ou limites ajustados, e remete a orientações de implantação ao relatório técnico IEC TR 61340-5-2 (TR, do inglês Technical Report, Relatório Técnico), que acompanha a norma e detalha como implementar cada um de seus requisitos (IEC, 2018; IEC, 2024).

2.6. A Descarga Como Fonte de Ignição

A ESD não é preocupante apenas para componentes. Em atmosferas com poeiras combustíveis, a descarga pode ser a fonte de ignição de uma explosão. Popa et al. (2021) lembram que a eletricidade estática, materializada em descargas eletrostáticas, está entre as fontes de ignição mais comuns nessas atmosferas e que a avaliação do risco depende da comparação entre a energia mínima de ignição (EMI) da poeira e a energia liberada pela descarga. A contribuição central do trabalho é comparar como a medição da EMI varia conforme o equipamento de ensaio, usando diferentes dispositivos sobre um mesmo tipo de poeira.

A distinção é pertinente para este artigo porque as normas de controle de ESD para eletrônicos tratadas na seção anterior não se aplicam a dispositivos explosivos de iniciação elétrica, a líquidos inflamáveis, a gases ou a pós (IEC, 2024). Em plantas que lidam com esses materiais, a análise de risco de ignição é, portanto, um processo à parte.

3. METODOLOGIA

Este estudo é uma revisão narrativa da literatura, de natureza qualitativa e caráter exploratório. A escolha se justifica pelo propósito de relacionar conhecimentos produzidos em áreas distintas, a saber, física da eletrização, dispositivos semicondutores e normalização industrial, o que não se prestaria a uma síntese quantitativa nem a uma revisão sistemática com protocolo de bases indexadas. Trata-se, portanto, de uma análise interpretativa de estudos já publicados, e não de pesquisa experimental ou de estudo de caso.

O trabalho seguiu quatro etapas: (a) definição de seis eixos temáticos, a saber, geração de carga, modelos e níveis de robustez, mecanismos de dano, proteção integrada, controle em ambiente produtivo e ignição; (b) busca de fontes; (c) triagem segundo critérios de inclusão e exclusão; e (d) extração dos dados bibliográficos, do objeto, do método e dos resultados de cada fonte, seguida de síntese comparativa por eixo. A busca foi realizada por meio de repositórios institucionais e sites de associações e organismos de normalização, com termos em inglês e em português, entre eles electrostatic discharge, ESD protection, latent damage, contact electrification e descarga eletrostática. Os critérios que orientaram a triagem estão no Quadro 1.

Quadro 1. Critérios de inclusão e exclusão adotados na triagem das fontes.

Critério	Definição
Recorte temporal	Publicações de 2020 a 2026 (no máximo seis anos).
Tipo de fonte	Artigos em periódicos e anais, normas técnicas e documentos de entidades do setor com emissor identificável.

Aderência temática	Relação direta com geração de carga, descarga eletrostática, dano em dispositivos, proteção ou controle de ESD.
Verificabilidade	Dados bibliográficos conferidos em página oficial da editora, do repositório ou da entidade emissora.
Exclusões	Patentes, material comercial de fabricantes, fóruns, fontes anteriores ao recorte e fontes cujos dados não puderam ser confirmados.

Fonte: Elaborado pelos autores (2026).
Nota — siglas: ESD – descarga eletrostática (electrostatic discharge).

4. RESULTADOS E DISCUSSÕES

4.1. Panorama das Fontes Analisadas

A Tabela 1 apresenta as fontes retidas, com seu tipo, seu objeto e o resultado mais relevante para os fins desta revisão. Há predominância de estudos sobre semicondutores de potência de banda larga proibida, enquanto a eletrização por contato aparece em uma revisão, a ignição por poeiras em um artigo e a proteção em chip para altas frequências em outra revisão. A Tabela 2, mais adiante, reúne os valores numéricos de referência extraídos das fontes, e as Figuras 1 a 6 sintetizam os modelos de descarga, as tendências de robustez e os principais resultados experimentais discutidos na sequência.

Tabela 1. Síntese das fontes analisadas.

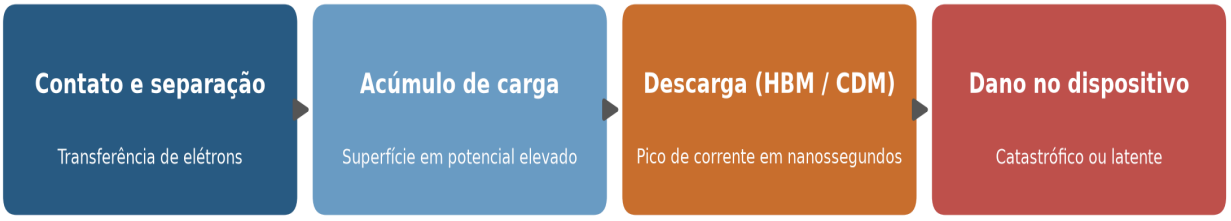
Fonte	Tipo	Objeto	Principal resultado
Tian et al. (2025)	Revisão	Mecanismo da eletrização por	Transferência de elétrons como mecanismo

		contato	dominante; carga transferida varia de forma não monotônica com a umidade.
EOS/ESD Association (2023)	Documento técnico	Tendências de níveis-alvo em CDM	Alvo de 250 V para a maioria dos circuitos; 125 V proposto para pinos de altíssima velocidade.
Yang, Stoll e Yuan (2021)	Artigo	GaN sobre Si sob TLP	Dois mecanismos concorrentes; degradação continua após o estresse.
Lai et al. (2024)	Artigo	nMOS em SiC sob TLP e VF-TLP	Dano latente por injeção de portadores no óxido; polarização de porta reduz a degradação.
Shi et al. (2025)	Revisão com análise	ESD em P-GaN HEMT	Porta Schottky é muito mais vulnerável que a ôhmica; integração monolítica é tendência.
Song et al. (2024)	Artigo	Proteção monolítica de porta em GaN	Além de proteger, estabiliza a resistência em condução (RON) e a tensão de limiar (VTH) na comutação.
Lin (2025)	Revisão	Proteção em chip de baixa capacitância	Capacitância parasita é o conflito central; projetos aproveitam parasitas no caminho do sinal.
IEC (2024)	Norma	Controle de ESD (IEC 61340-5-1)	Itens com mínimo de 100 V HBM e 200 V CDM; condutores isolados abaixo de 35 V.
EOS/ESD Association (2022)	Norma	Controle de ESD (ANSI/ESD S20.20)	Equivalência técnica com a IEC 61340-5-1.

Popa et al. (2021)	Artigo	Energia mínima de ignição de poeiras	A EMI varia conforme o equipamento de ensaio; ESD é fonte de ignição frequente.

Nota siglas: CDM – modelo do dispositivo carregado (charged device model); GaN – nitreto de gálio (gallium nitride); Si – silício; TLP – pulso de linha de transmissão (transmission line pulse); VF-TLP – TLP de muito alta velocidade (very fast transmission line pulse); nMOS – transistor metal-óxido-semicondutor de canal n (n-channel metal-oxide-semiconductor); SiC – carbeto de silício (silicon carbide); ESD – descarga eletrostática (electrostatic discharge); P-GaN – nitreto de gálio de porta p; HEMT – transistor de alta mobilidade de elétrons (high electron mobility transistor); RON – resistência em condução; VTH – tensão de limiar; HBM – modelo do corpo humano (human body model); EMI – energia mínima de ignição.

Figura 1. Percurso da carga na ESD, da eletrização por contato ao dano no dispositivo.



Fonte: Elaborado pelos autores (2026).*Nota siglas: ESD – descarga eletrostática (electrostatic discharge); HBM – modelo do corpo humano (human body model); CDM – modelo do dispositivo carregado (charged device model).*

4.2. O Que as Fontes Têm em Comum?

Três ideias atravessam o conjunto analisado. A Figura 1 apresenta, antes de tudo, o percurso da carga, da eletrização por contato ao dano no dispositivo, e serve de fio condutor para as três. A primeira

ideia é a de que a margem de manobra diminui. Os níveis históricos de aprovação em CDM, de 500 V a 1000 V, deram lugar a 250 V e, para as interfaces mais rápidas, a 125 V (EOS/ESD ASSOCIATION, 2023), e a revisão de Lin (2025) mostra de onde vem essa pressão: cada elemento de proteção custa capacitância, e a capacitância custa largura de banda. A Figura 2 contrasta os modelos de ensaio HBM e CDM, e a Figura 3 ilustra a queda progressiva dos níveis-alvo de robustez em CDM.

Figura 2. Comparação entre os modelos de ensaio HBM e CDM.



Fonte: Elaborado pelos autores (2026).*Nota siglas: HBM – modelo do corpo humano (human body model); CDM – modelo do dispositivo carregado (charged device model).*

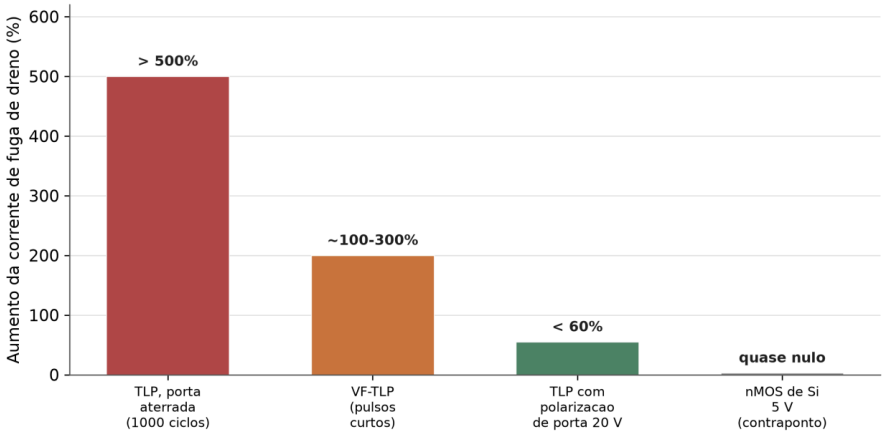
Figura 3. Queda progressiva dos níveis-alvo de robustez em CDM.



Fonte: Elaborado pelos autores (2026).*Nota sigla: CDM – modelo do dispositivo carregado (charged device model).*

A segunda é a de que o dano deixou de ser um evento binário. Yang, Stoll e Yuan (2021) e Lai et al. (2024) descrevem degradação cumulativa e, no primeiro caso, persistente após o término do pulso. Song et al. (2024) acrescentam que a mesma estrutura que protege contra ESD pode melhorar a estabilidade em operação normal, o que sugere que proteção e confiabilidade não são necessidades separadas. A Figura 4 mostra o aumento da fuga de dreno em SiC sob ciclos de TLP e o efeito atenuante da polarização de porta.

Figura 4. Aumento da fuga de dreno em SiC sob ciclos de TLP e o efeito atenuante da polarização de porta.



Fonte: Elaborado pelos autores (2026).*Nota siglas: SiC – carbeto de silício (silicon carbide); TLP – pulso de linha de transmissão (transmission line pulse).*

A terceira é a de que o controle de processo se organiza em torno de um patamar mínimo de suportabilidade. IEC (2024) e a S20.20-2021 (EOS/ESD ASSOCIATION, 2022) pressupõem itens de pelo menos 100 V HBM e 200 V CDM e tratam os demais como exceções que demandam controles ajustados. Os valores de referência encontrados nas fontes estão reunidos na Tabela 2. A Figura 5 reúne os patamares mínimos de controle definidos pelas normas IEC 61340-5-1:2024 e ANSI/ESD S20.20-2021.

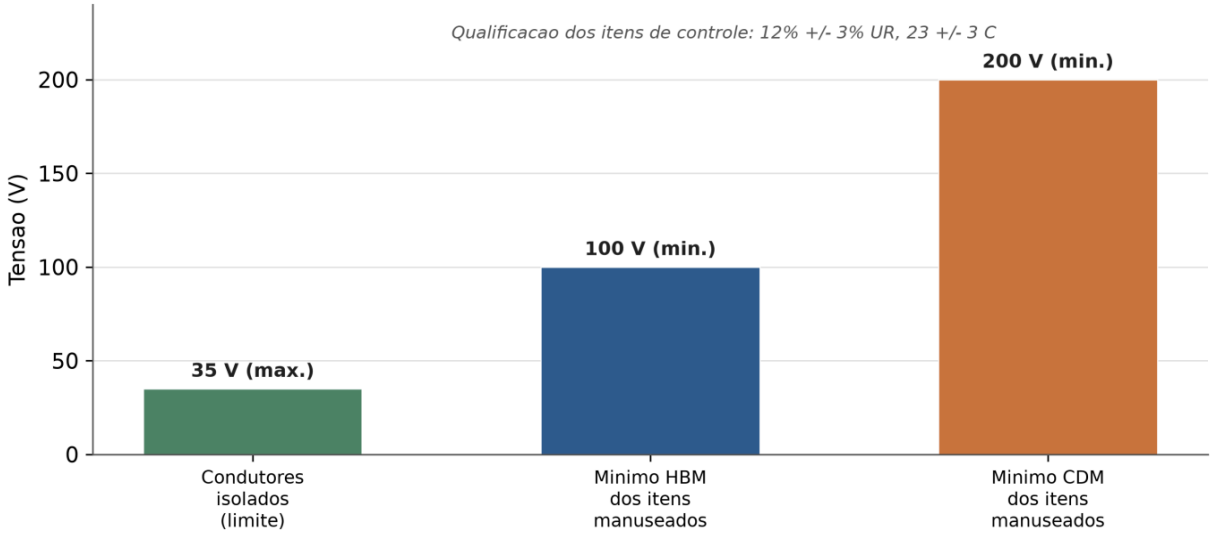
Tabela 2. Valores de referência citados nas fontes analisadas.

Grandeza	Valor	Contexto	Fonte
Alvo de CDM (maioria dos circuitos integrados, CIs)	250 V	Recomendação do WP2, versão de maio de 2021	EOS/ESD Association (2023)
Alvo de CDM (pinos de altíssima velocidade)	125 V	Proposta do conselho	EOS/ESD Association (2023)
Robustez mínima dos itens manuseados	100 V HBM / 200 V CDM	Escopo da norma de controle	IEC (2024)
Tensão em condutores isolados	< 35 V	Limite adotado nas normas de controle	IEC (2024); EOS/ESD Association (2022)
Condição de qualificação de itens de controle	12% ± 3% de umidade relativa (UR); 23 °C ± 3 °C	S20.20-2021, exceto ensaio de sacos de blindagem	EOS/ESD Association (2022)

Interfaces com microbumps de cobre	aprox. 30 V ou menos	Nível requerido em empacotamento 2.5D/3D	EOS/ESD Association (2023)
Interfaces com ligação híbrida	aprox. 5 V	Nível requerido em empacotamento 3D	EOS/ESD Association (2023)

Fonte: Elaborado pelos autores (2026), com base nas fontes indicadas na última coluna.

Figura 5. Patamares mínimos de controle definidos pelas normas IEC 61340-5-1:2024 e ANSI/ESD S20.20-2021.



Fonte: Elaborado pelos autores (2026).*Nota siglas: IEC – Comissão Eletrotécnica Internacional (International Electrotechnical Commission); ANSI – Instituto Nacional Americano de Normas (American National Standards Institute); ESD – descarga eletrostática.*

4.3. Onde as Fontes Se Tensionam?

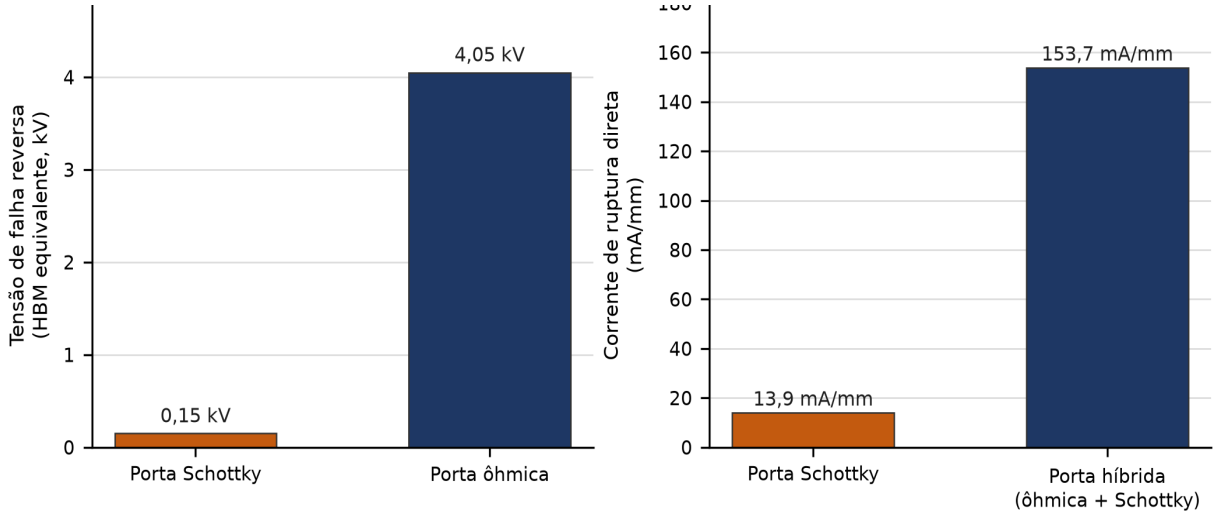
A Tabela 2 evidencia um descompasso que merece atenção. As normas de controle admitem itens a partir de 200 V CDM, enquanto o conselho de níveis-alvo propõe 125 V para pinos de altíssima velocidade e as interfaces de empacotamento avançado trabalham

com 30 V, ou até 5 V. Esses valores não se contradizem, pois a própria IEC (2024), com o apoio do guia de implantação IEC TR 61340-5-2 (IEC, 2018), prevê que itens de suportabilidade menor possam ser manipulados com controles adicionais. Mas o descompasso indica que, nesses casos, a conformidade com o programa padrão deixa de ser suficiente e passa a exigir o que a norma chama de adaptação. É uma leitura dos autores, e não uma afirmação das fontes.

Há tensão semelhante entre o que se mede na qualificação e o que ocorre em campo. Se a ESD produz degradação cumulativa, como mostram os estudos em GaN e SiC, um critério de aprovação baseado no pulso único pode subestimar o efeito. Convém, contudo, não generalizar: o contraponto de Lai et al. (2024), em que o nMOS de silício de 5 V quase não se alterou nas mesmas condições, indica que a suscetibilidade ao dano latente depende da arquitetura do dispositivo, e os estudos aqui reunidos tratam de tecnologias específicas. Também não se pode afirmar, com base nessas fontes, que o dano latente seja a causa dominante de falhas em campo; nenhuma delas estima a frequência com que isso ocorre.

No campo da proteção, os trabalhos de Shi et al. (2025) e de Lin (2025) revelam o mesmo tipo de compromisso por caminhos diferentes. Em transistores de potência, o preço da proteção unidirecional é a fuga ou a baixa tensão de disparo reversa; em circuitos de alta frequência, é a capacitância. Em nenhum dos casos há solução sem custo, e a escolha depende da aplicação. A Figura 6 compara a robustez reversa e direta de P-GaN HEMT conforme o tipo de porta.

Figura 6. Robustez reversa e direta de P-GaN HEMT conforme o tipo de porta.



Fonte: Elaborado pelos autores (2026).*Nota siglas: P-GaN – nitreto de gálio de porta p (p-type gallium nitride); HEMT – transistor de alta mobilidade de elétrons (high electron mobility transistor); GaN – nitreto de gálio; HBM – modelo do corpo humano.*

4.4. Umidade, Eletrização e a Lacuna Entre Física e Processo

A revisão de Tian et al. (2025) mostra que a umidade influencia a eletrização de modo não monotônico, enquanto a S20.20-2021 qualifica os itens de controle em ar seco, a 12% de umidade relativa. Os autores deste artigo interpretam essa escolha como uma adoção de condição desfavorável de referência, mas as fontes não o afirmam. O que se pode dizer com segurança é que o conjunto analisado não contém estudo que relacione diretamente a física do contato, medida em condições controladas de laboratório, às tensões observadas em linhas reais de montagem. Essa é a principal lacuna identificada, e é nela que a integração entre as comunidades mencionadas na introdução poderia render mais.

4.5. Ignição por Poeiras: Um Risco de Outra Natureza

Popa et al. (2021) mostram que a energia mínima de ignição, grandeza central na avaliação do risco, não é uma constante independente do método de medição. Para a gestão do risco, a implicação é prática: comparar a energia de uma descarga com a

EMI de uma poeira só faz sentido se o valor de EMI tiver sido obtido por método adequado e conhecido. Como as normas de controle para eletrônicos excluem expressamente esse cenário (IEC, 2024), uma planta que combine montagem eletrônica e manuseio de pós combustíveis precisa de dois programas distintos, com critérios próprios.

5. CONSIDERAÇÕES FINAIS

A literatura recente permite relacionar a robustez dos componentes ao controle do ambiente de manipulação, mas não elimina a necessidade de julgamento de engenharia. A eletrização por contato é dominada pela transferência de elétrons e responde de forma não monotônica à umidade. Os níveis-alvo de CDM caem à medida que as interfaces aceleram e o empacotamento se verticaliza. Dispositivos de GaN e de SiC sofrem degradação cumulativa e dano latente sob estresse de ESD, em graus que dependem da arquitetura.

A proteção em chip impõe sempre um custo, seja em capacitância, seja em fuga. As normas ANSI/ESD S20.20-2021 e IEC 61340-5-1:2024 assumem itens de, no mínimo, 100 V HBM e 200 V CDM, e itens com suportabilidade inferior exigem controles adaptados. A ignição de poeiras por descarga é um risco distinto, fora do escopo dessas normas. Os resultados não permitem estimar a frequência de falhas por ESD em campo nem generalizar o dano latente para outras tecnologias. Estudos futuros devem ligar medições de tensão em linhas de produção à física do contato, quantificar o dano latente em silício avançado e produzir literatura científica em língua portuguesa sobre o tema.

REFERÊNCIAS BIBLIOGRÁFICAS

EOS/ESD ASSOCIATION. ANSI/ESD S20.20-2021: ESD Association standard for the development of an electrostatic discharge control program for protection of electrical and electronic parts, assemblies, and equipment (excluding electrically initiated explosive devices). [S.l.]: EOS/ESD Association, 2022. Disponível em: https://www.esda.org/store/standards/product/314/ansiesd-s20-20-2021. Acesso em: 15 abr. 2026.

EOS/ESD ASSOCIATION. Updated trends in charge device model (CDM). [S.l.]: EOS/ESD Association, 1 maio 2023. Disponível em: https://www.esda.org/news/updated-trends-in-charge-device-model-cdm. Acesso em: 8 out. 2026.

IEC. IEC 61340-5-1:2024: Electrostatics - Part 5-1: Protection of electronic devices from electrostatic phenomena - General requirements. Ed. 3.0. Genebra: International Electrotechnical Commission, 21 maio 2024. Disponível em: https://webstore.iec.ch/publication/74748. Acesso em: 12 maio 2026.

IEC. IEC TR 61340-5-2:2018: Electrostatics - Part 5-2: Protection of electronic devices from electrostatic phenomena - User guide. Ed. 2.0. Genebra: International Electrotechnical Commission, 28 mar. 2018. Disponível em: https://webstore.iec.ch/publication/28047. Acesso em: 21 out. 2026.

INDUSTRY COUNCIL ON ESD TARGET LEVELS. White Paper 2: A case for lowering component-level CDM ESD specifications and requirements. Revision 1.0. [S.l.: s.n.], 2009. [Documento de 2009 não localizado em repositório público na data de submissão; os valores a ele atribuídos são os reproduzidos na revisão 3.0 (2021)].

INDUSTRY COUNCIL ON ESD TARGET LEVELS. White Paper 2: A case for lowering component-level CDM ESD specifications and requirements. Revision 3.0. [S.l.]: Industry Council on ESD Target Levels, maio 2021. Disponível em: https://www.esdindustrycouncil.org/ic/en/shared/industry-council-white-paper-2-rev3.0-may-2021-final.pdf. Acesso em: 21 out. 2026.

LAI, Pengyu; WANG, Hui; MANTOOTH, H. Alan; CHEN, Zhong. Electrical safe operating area and latent damage of SiC low-voltage nMOS under TLP and VF-TLP stresses. IEEE Transactions on Electron Devices, v. 71, n. 12, p. 7673-7681, dez. 2024. DOI: 10.1109/TED.2024.3475997. Disponível em: https://doi.org/10.1109/TED.2024.3475997. Acesso em: 9 set. 2026.

LIN, Chun Yu. Review of low-C ESD protection designs for high-speed and high-frequency applications. IEEE Transactions on Electron Devices, v. 72, n. 12, p. 6411-6422, 2025. DOI: 10.1109/TED.2025.3625953. Disponível em: https://doi.org/10.1109/TED.2025.3625953. Acesso em: 16 set. 2026.

POPA, Cătălin Mihai; NAN, Silviu Marin; PĂRĂIAN, Mihaela; JURCA, Adrian; PĂUN, Florin. Aspects of laboratory tests for the determination of the minimum ignition energy of the fuel / dust mixture. MATEC Web of Conferences, v. 342, art. 04004, 2021. DOI: 10.1051/matecconf/202134204004. Disponível em: https://doi.org/10.1051/matecconf/202134204004. Acesso em: 23 set. 2026.

SHI, Yijun; CHEN, Yantao; HE, Liang; CHEN, Xinghuan; CHEN, Yuan; LU, Guoguang. The ESD robustness and protection technology of P-GaN HEMT. Micromachines, Basel, v. 16, n. 11, art. 1269, 2025. DOI:

10.3390/mi16111269. Disponível em: https://doi.org/10.3390/mi16111269. Acesso em: 29 set. 2026.

SONG, Qihao; YANG, Xin; WANG, Bixuan; LITCHFORD, Everest; SUN, Yi; KONG, Pengju; LI, Qiang; ZHANG, Yuhao. Stability improvement of GaN power HEMT by a multi-functional monolithic protection circuit. IEEE Transactions on Power Electronics, 2024. DOI: 10.1109/TPEL.2024.3510060. Disponível em: https://doi.org/10.1109/TPEL.2024.3510060. Acesso em: 2 out. 2026.

TIAN, Jia; HE, Yue; LI, Fangpei; PENG, Wenbo; HE, Yongning. A comprehensive review on the mechanism of contact electrification. Journal of Materials Chemistry A, v. 13, n. 4, p. 2505-2536, 2025. DOI: 10.1039/D4TA07756C. Disponível em: https://doi.org/10.1039/D4TA07756C. Acesso em: 6 out. 2026.

YANG, Wen; STOLL, Nicholas; YUAN, Jiann-Shiun. ESD stress effect on failure mechanisms in GaN-on-Si power device. IEEE Transactions on Device and Materials Reliability, v. 21, n. 4, p. 479-485, dez. 2021. DOI: 10.1109/TDMR.2021.3108761. Disponível em: https://doi.org/10.1109/TDMR.2021.3108761. Acesso em: 15 out. 2026.

---

[1] Discente do Curso Superior de Engenharia Elétrica na Fundação Centro de Análise, Pesquisa e Inovação Tecnológica – Fucapi, Manaus-AM. E-mail: acesse o artigo original para visualizar o e-mail

[2] Docente do Curso Superior de Engenharia Elétrica na Fundação Centro de Análise, Pesquisa e Inovação Tecnológica – Fucapi, Manaus-AM. E-mail: acesse o artigo original para visualizar o e-mail